

## SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

## SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF

Patent Number: JP8274277

Publication date: 1996-10-18

Inventor(s): SOEJIMA SHIGEMASA; KIGAMI MASAHIKO; FUNABASHI HIROBUMI; SUGIYAMA SUSUMU

Applicant(s): TOYOTA CENTRAL RES & DEV LAB INC

Requested Patent:  JP8274277

Application Number: JP19950099682 19950331

Priority Number(s):

IPC Classification: H01L27/108; H01L21/8242; H01L27/04; H01L21/822; H01L29/786

EC Classification:

EC Classification:

Equivalents:

---

### Abstract

---

PURPOSE: To provide a method of manufacturing a semiconductor memory device (DRAM) more enhanced in degree of integration exceeding a prior art.

CONSTITUTION: A stereoscopic SOI(Silicon-On-Insulator) structure is formed on a part of a silicon substrate, and a capacitor and an insulated gate field effect transistor channel forming region are formed in one piece inside the SOI structure. The channel forming region (130a, b) of an insulated-gate field effect transistor is formed on the side wall of the stereoscopic SOI structure, the drain (or source) region of the insulated-gate field effect transistor is formed as continuously connected to the channel forming region, and a capacitor is formed overlapping with the drain (or source) region.

---

Data supplied from the [esp@cenet](mailto:esp@cenet) database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-274277

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 01 L 27/108		9276-4M	H 01 L 27/10	6 7 1 C
21/8242			27/04	C
27/04		9276-4M	27/10	6 2 5 A
21/822			29/78	6 1 3 B
29/786				

審査請求 未請求 請求項の数 6 FD (全 11 頁)

(21)出願番号 特願平7-99682

(22)出願日 平成7年(1995)3月31日

(71)出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番  
地の1

(72)発明者 副島 成雅

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

(72)発明者 樹神 雅人

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

(74)代理人 弁理士 布施 行夫 (外2名)

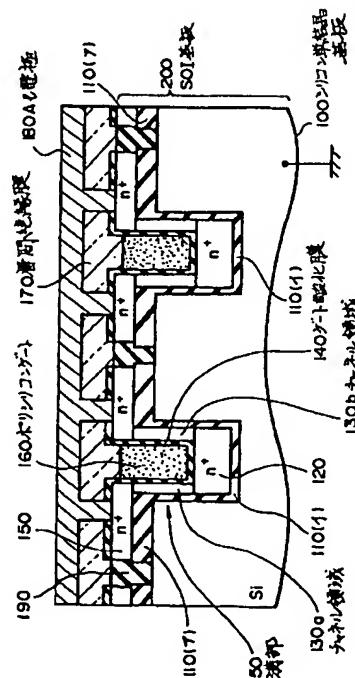
最終頁に続く

(54)【発明の名称】 半導体記憶装置およびその製造方法

(57)【要約】

【目的】 従来技術の限界を越えてさらに高集積化を図った半導体記憶装置(DRAM)ならびにその製造方法を提供することである。

【構成】 本発明は、シリコン基板の一部に、立体的なSOI (Silicon On Insulator) 構造が形成され、この立体的なSOI構造中に、前記キャバシタおよび前記絶縁ゲート型電界効果トランジスタのチャネル形成領域が一体化されて形成されており、前記絶縁ゲート型電界効果トランジスタのチャネル形成領域(130a, b)が、前記立体的なSOI構造における側壁部に形成されてなり、絶縁ゲート型電界効果トランジスタのドレイン(またはソース)領域が前記チャネル形成領域に接続して形成され、さらに、そのドレイン(またはソース)領域と重なりを有してキャバシタが構成されてなる。



1

## 【特許請求の範囲】

【請求項1】 絶縁ゲート型電界効果トランジスタとキャパシタとでメモリセルが構成される半導体記憶装置であって、シリコン基板の一部に、立体的なSOI (Silicon On Insulator) 構造が形成され、この立体的なSOI構造中に、前記キャパシタおよび前記絶縁ゲート型電界効果トランジスタのチャネル形成領域が一体化されて形成されており、前記絶縁ゲート型電界効果トランジスタのチャネル形成領域が、前記立体的なSOI構造における側壁部に形成されてなることを特徴とする半導体記憶装置。

【請求項2】 絶縁ゲート型電界効果トランジスタのドレイン（またはソース）領域が前記チャネル形成領域に接続して形成され、さらに、そのドレイン（またはソース）領域と重なりを有してキャパシタが構成されてなることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 絶縁ゲート型電界効果トランジスタとキャパシタとでメモリセルが構成される半導体記憶装置であって、

シリコン基板の一部に、立体的なSOI (Silicon On Insulator) 構造が形成され、この立体的なSOI構造は、前記シリコン基板の一部に、そのシリコン基板の表面に対して垂直な側壁をもつ溝部を設け、この溝部の内表面に絶縁層を設けることによって形成されており、

前記溝部には、前記シリコン基板の表面に対して垂直な側壁に沿って設けられた第1の領域と、溝部の底部において設けられた前記第1の領域に接続する第2の領域と、前記第1の領域の表面を覆って設けられたゲート絶縁膜と、このゲート絶縁膜に接して形成されたゲート電極層とが形成されており、

前記第1の領域が前記絶縁ゲート型電界効果トランジスタのチャネル形成領域を構成し、

前記第2の領域の、前記第1の領域と接続された部分が前記絶縁ゲート型電界効果トランジスタのドレイン（またはソース）を構成し、

また、前記シリコン基板は所定電位に接続され、これによつて、そのシリコン基板を第1のノードとし、前記溝部における第2の領域を第2のノードとし、前記シリコン基板と前記第2の領域との間に介在する前記絶縁層を誘電体層とするトレンチキャパシタが構成されてなることを特徴とする半導体記憶装置。

【請求項4】 絶縁ゲート型電界効果トランジスタとキャパシタとでメモリセルが構成される半導体記憶装置の製造方法であつて、

表面が絶縁膜によって覆われたシリコン基板の一部に、そのシリコン基板の表面に対して実質的に垂直な側壁をもつ溝部を形成し、その溝部の内表面に絶縁層を形成する工程と、

その溝部の底部に、不純物がドープされた第1のアモルファスシリコン層を形成する工程と、前記シリコン基板の表面を覆う前記絶縁膜の一部に開口部を設けて、前記シリコン基板の表面の一部が露出したシード領域を形成する工程と、そのシード領域を覆い、かつ、前記溝部の前記シリコン基板の表面に対して垂直な側壁に沿つて延在して前記第1のアモルファスシリコン層に接続する第2のアモルファスシリコン層を形成する工程と、熱処理を施すことにより、前記第2および第1のアモルファスシリコン層において前記シード領域を起点とする固相エビタキシャル成長 (Solid Phase Epitaxy; SPE) を生じせしめて、単結晶シリコン層を得る工程と、その単結晶シリコン層の表面にゲート絶縁膜を形成し、このゲート絶縁膜上にゲート電極層を形成し、これによって、前記単結晶シリコン層の、前記シリコン基板の表面に対して垂直な側壁に沿つた部分をチャネル形成領域とする絶縁ゲート型電界効果トランジスタを得る工程と、

前記シリコン基板を所定電位に接続し、そのシリコン基板を第1のノードとし、前記溝部の前記単結晶シリコン層の底部の部分を第2のノードとするキャパシタを構成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項5】 絶縁ゲート型電界効果トランジスタとキャパシタとでメモリセルが構成される半導体記憶装置であつて、シリコン基板の表面を覆う絶縁膜上に前記絶縁ゲート型電界効果トランジスタが形成され、かつ、前記絶縁ゲート型電界効果トランジスタのドレイン（またはソース）と重なりを有する形態でそのドレイン（ソース）の下にトレンチ構造の前記キャパシタが構成されてなり、そのトレンチ構造のキャパシタは、所定電位に接続された前記シリコン基板を第1のノードとし、前記シリコン基板に設けられた溝の内表面に形成された絶縁層を誘電体とし、前記溝の内表面に形成された絶縁層に接して溝の内部に充填され、前記絶縁ゲート型電界効果トランジスタのドレイン（またはソース）に接続された導体層を第2のノードとして構成されていることを特徴とする半導体記憶装置。

【請求項6】 絶縁ゲート型電界効果トランジスタとキャパシタとでメモリセルが構成される半導体記憶装置の製造方法であつて、表面が絶縁膜によって覆われたシリコン基板の一部に、そのシリコン基板の表面に対して実質的に垂直な側壁をもつ溝部を形成し、その溝部の内表面に絶縁層を形成する工程と、前記シリコン基板の表面を覆う前記絶縁膜の一部に開口部を設けて、前記シリコン基板の表面の一部が露出した

シード領域を形成する工程と、  
そのシード領域を覆い、かつ前記溝部を充填するアモルファスシリコン層を形成する工程と、  
熱処理を施すことによって、前記アモルファスシリコン層において前記シード領域を起点とする固相エピタキシャル成長 (Solid Phase Epitaxy; SPE) を生じせしめ、結晶性を有するシリコン層を得る工程と、  
前記シリコン基板の表面において形成された前記結晶性を有するシリコン層内に選択的に不純物を導入し、前記溝に充填された前記結晶性を有するシリコン層に重なりを有する形態でドレイン (またはソース) 領域を形成する工程と、  
前記シリコン基板を所定電位に接続し、そのシリコン基板を第1のノードとし、前記溝部に充填された結晶性を有するシリコン層を第2のノードとするキャバシタを構成する工程とを有することを特徴とする半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関し、特に、DRAMに関する。

## 【0002】

【従来の技術】 DRAMの一般的なメモリセルは、図13に示されるように、nMOSトランジスタ (Q) とキャバシタ (C) とで構成される。

【0003】 図12は、上述のキャバシタ (C) としてトレンチキャバシタを用いる、従来構造のメモリセルの断面図である。

【0004】 このメモリセルは、シリコン (S1) 基板700の表面に、nMOSトランジスタ (ポリシリコンゲート710と、ゲート絶縁膜740と、ソース、ドレイン領域 (ドレイン、ソース領域) 720a, 720bとを含んで構成される) が形成され、その近傍にトレンチキャバシタ (ポリシリコンからなる内側電極760と、SiO<sub>2</sub>膜750と、n<sup>+</sup>拡散層からなる外側電極730とで構成されている) が形成されて構成される。

【0005】 トレンチキャバシタの外側電極 (n<sup>+</sup>) 730は、MOSトランジスタのトレンチキャバシタに接続されるべきn型の領域 (ドレインまたはソース領域) 720bに接続して形成されている。

【0006】 また、トレンチキャバシタの内側電極760はアース電位にする必要があるため、コンタクトホールを介してアルミニウム (A1) 電極770 (アース配線) に接続されている。

## 【0007】

【発明が解決しようとする課題】 図12に記載された、従来のトレンチキャバシタをメモリキャバシタとするDRAMは、トレンチキャバシタの外側電極が、トレンチ (溝) の外側を取り囲むように設けられたn<sup>+</sup>拡散層

(730) からなっている。

【0008】 したがって、メモリセルは、n<sup>+</sup>拡散層 (730) どうしが接触しないように距離Tだけ離して配置しなければならず (図12) 、マージンを必要とする分だけ高集積化の妨げになっている。

【0009】 また、当然のことであるが、DRAMのメモリセルを構成するMOSトランジスタはウエハ表面に形成されるため、そのトランジスタの形成領域を確保する必要がある。以上のような理由により、従来のメモリセル構造では、高集積化には一定の限界があった。

【0010】 本発明はこのような従来技術の問題点に鑑みてなされたものであり、その目的は、従来技術の限界を越えてさらに高集積化を図った半導体記憶装置ならびにその製造方法を提供することにある。

## 【0011】

【課題を解決するための手段】 上記目的を達成する本発明は、以下のような構成をしている。

【0012】 (1) 請求項1記載の本発明は、絶縁ゲート型電界効果トランジスタとキャバシタとでメモリセル

20 が構成される半導体記憶装置であって、シリコン基板の一部に、立体的なSOI (Silicon On Insulator) 構造が形成され、この立体的なSOI構造中に、前記キャバシタおよび前記絶縁ゲート型電界効果トランジスタのチャネル形成領域が一体化されて形成されており、前記絶縁ゲート型電界効果トランジスタのチャネル形成領域が、前記立体的なSOI構造における側壁部に形成されてなることを特徴とする。

【0013】 (2) 請求項2の本発明は、請求項1において、絶縁ゲート型電界効果トランジスタのドレイン (またはソース) 領域が前記チャネル形成領域に接続して形成され、さらに、そのドレイン (またはソース) 領域と重なりを有してキャバシタが構成されてなることを特徴とする。

【0014】 (3) 請求項3の本発明は、絶縁ゲート型電界効果トランジスタとキャバシタとでメモリセルが構成される半導体記憶装置であって、シリコン基板の一部に、立体的なSOI (Silicon On Insulator) 構造が形成され、この立体的なSOI構造は、前記シリコン基板の一部に、そのシリコン基板の表面に対して垂直な側壁をもつ溝部を設け、この溝部の内表面に絶縁層を設けることによって形成されており、前記溝部には、前記シリコン基板の表面に対して垂直な側壁に沿って設けられた第1の領域と、溝部の底部において設けられた前記第1の領域に接続する第2の領域と、前記第1の領域の表面を覆って設けられたゲート絶縁膜と、このゲート絶縁膜に接して形成されたゲート電極層とが形成されており、前記第1の領域が前記絶縁ゲート型電界効果トランジスタのチャネル形成領域を構成し、前記第2の領域の、前記第1の領域と接続された部分が

40 前記絶縁ゲート型電界効果トランジスタのドレイン (ま

たはソース)を構成し、また、前記シリコン基板は所定電位に接続され、これによって、そのシリコン基板を第1のノードとし、前記溝部における第2の領域の底部を第2のノードとし、前記シリコン基板と前記第2の領域との間に介在する前記絶縁層を誘電体層とするトレンチキャバシタが構成されてなることを特徴とする。

【0015】(4) 請求項4に記載の本発明は、絶縁ゲート型電界効果トランジスタとキャバシタとでメモリセルが構成される半導体記憶装置の製造方法であって、表面が絶縁膜によって覆われたシリコン基板の一部に、そのシリコン基板の表面に対して実質的に垂直な側壁をもつ溝部を形成し、その溝部の内表面に絶縁層を形成する工程と、前記シリコン基板の表面を覆う前記絶縁膜の一部に開口部を設けて、前記シリコン基板の表面の一部が露出したシード領域を形成する工程と、そのシード領域を覆い、かつ、前記溝部の前記シリコン基板の表面に対して垂直な側壁に沿って延在して前記第1のアモルファスシリコン層に接続する第2のアモルファスシリコン層を形成する工程と、熱処理を施すことにより、前記第2および第1のアモルファスシリコン層において前記シード領域を起点とする固相エピタキシャル成長 (Solid Phase Epitaxy; SPE) を生じせしめ、単結晶シリコン層を得る工程と、その単結晶シリコン層の表面にゲート絶縁膜を形成し、このゲート絶縁膜上にゲート電極層を形成し、これによって、前記単結晶シリコン層の、前記シリコン基板の表面に対して垂直な側壁に沿った部分をチャネル形成領域とする絶縁ゲート型電界効果トランジスタを得る工程と、前記シリコン基板を所定電位に接続し、そのシリコン基板を第1のノードとし、前記溝部の前記単結晶シリコン層の底部の部分を第2のノードとするキャバシタを構成する工程とを有することを特徴とする。

【0016】(5) 請求項5の本発明は、絶縁ゲート型電界効果トランジスタとキャバシタとでメモリセルが構成される半導体記憶装置であって、シリコン基板の表面を覆う絶縁膜上に前記絶縁ゲート型電界効果トランジスタが形成され、かつ、前記絶縁ゲート型電界効果トランジスタのドレイン(またはソース)と重なりを有する形態でそのドレイン(ソース)の下にトレンチ構造の前記キャバシタが構成されてなり、そのトレンチ構造のキャバシタは、所定電位に接続された前記シリコン基板を第1のノードとし、前記シリコン基板に設けられた溝の内表面に形成された絶縁層を誘電体とし、前記溝の内表面に形成された絶縁層に接して溝の内部に充填され、前記絶縁ゲート型電界効果トランジスタのドレイン(またはソース)に接続された導体層を第2のノードとして構成されていることを特徴とする。

【0017】(6) 請求項6の本発明は、絶縁ゲート型

電界効果トランジスタとキャバシタとでメモリセルが構成される半導体記憶装置の製造方法であって、表面が絶縁膜によって覆われたシリコン基板の一部に、そのシリコン基板の表面に対して実質的に垂直な側壁をもつ溝部を形成し、その溝部の内表面に絶縁層を形成する工程と、前記シリコン基板の表面を覆う前記絶縁膜の一部に開口部を設けて、前記シリコン基板の表面の一部が露出したシード領域を形成する工程と、そのシード領域を覆い、かつ前記溝部を充填するアモルファスシリコン層を形成する工程と、熱処理を施すことによって、前記アモルファスシリコン層において前記シード領域を起点とする固相エピタキシャル成長 (Solid Phase Epitaxy; SPE) を生じせしめ、結晶性を有するシリコン層を得る工程と、前記シリコン基板の表面において形成された前記結晶性を有するシリコン層内に選択的に不純物を導入し、前記溝に充填された前記結晶性を有するシリコン層に重なりを有する形態でドレイン(またはソース)領域を形成する工程と、前記シリコン基板を所定電位に接続し、そのシリコン基板を第1のノードとし、前記溝部に充填された結晶性を有するシリコン層を第2のノードとするキャバシタを構成する工程とを有することを特徴とする。

【0018】

【作用】

(1) 請求項1の本発明では、DRAMのメモリセルを構成するMOSトランジスタとキャバシタとを、例えばU溝内に一体的に形成して、U溝を用いたSOI立体構造を作成し、MOSトランジスタを溝の側壁部に形成する。

30 【0019】このような立体的なSOI構造の採用により、従来の不都合が解消される。

【0020】つまり、SOI構造によれば下地のシリコン基板には素子が形成されないため、このシリコン基板には自由に電位を与えることができる。

【0021】この特徴を活かして、接地(あるいは他のDC電位でもよい)したシリコン基板自体をキャバシタのノードとすることより、従来のようにn<sup>+</sup>拡散層のレイアウトマージンを考慮する必要がなくなる。

40 【0022】また、MOSトランジスタのチャネル形成領域自体が溝内の側壁部に形成されるために、平面的なトランジスタ領域のほとんどが削減される。

【0023】このような効果によって、極めて高い集積度が実現される。

【0024】(2) 請求項2の本発明では、チャネル形成領域に接続してドレイン(ソース)領域が形成され、さらにそのドレイン(ソース)と重なりを有して、自己整合的にキャバシタが構成される。

【0025】したがって、従来のようなMOSトランジスタのドレインとアース配線とのコンタクトが不要であり、また、シリコン基板自体がアース配線の役目を果た

すため、アース配線を独立して設ける必要がない。

【0026】このような効果によって、極めて高い集積度が実現される。

【0027】(3) 請求項3の本発明では、トレンチを用いたSOI構造を利用して請求項1、2に記載の構造を形成する。したがって、上述のとおり、極めて高い集積度が達成される。

【0028】すなわち、本発明では、トレンチキャバシタ間を極力短くし、コンタクト、配線等のデバイスの動作に直接影響を及ぼさない部分の領域をなくすることにより集積度を向上させるとともに、トランジスタ自身の領域をも削減することが可能である。

【0029】(4) 請求項4の本発明では、シリコンの固相エピタキシャル成長(SPE)を用いて、請求項1～3(特に、請求項3)のSOI構造を実現する。

【0030】シリコンの固相エピタキシャル成長(SPE)に関しては、本願出願人が先に提案している方法(特願平6-193604号に開示されている技術)を利用できる。ここで、SPEについて図14(a)～(d)を用いてその概要を説明しておく。

【0031】図14(a)に示されるようにシリコン単結晶基板100-0上にSiO<sub>2</sub>膜1100を形成し、次に、(b)に示すように、SiO<sub>2</sub>膜の一部を開口してシリコン単結晶の一部を露出して、シード(種結晶)部1200a, 1200bを形成する。

【0032】続いて(C)のように、アモルファスシリコン( $\alpha$ -Si)1210を堆積し、所定の温度(例えば600°C)で熱処理を施す。

【0033】すると、縦方向ならびに横方向に固相エピタキシャル成長がすすみ、種結晶部からアモルファスシリコンが単結晶化されていき、最終的にシリコン単結晶1300が得られる。

【0034】この場合、SPEによって最終的に得られる結晶は、下地の絶縁膜の影響をうけることが知られており、必ずしも単結晶とはならない。例えば、下地絶縁膜がSi<sub>3</sub>N<sub>4</sub>のときには、SPEによって得られる結晶は多結晶シリコンとなる。本発明では、このようなSPE技術を、トレンチSOI構造の形成に利用するものである。

【0035】つまり、シリコン基板に設けられた溝の内表面に絶縁層を形成した後、その絶縁層上にアモルファス層を堆積させ、熱処理によってシリコン基板の一部に設けられたシード部を起点としてSPEを生じせしめ、アモルファス層を単結晶層に変え、絶縁膜上に能動層を形成する。この能動層をMOSトランジスタやキャバシタの形成領域として利用する。

【0036】本方法によれば、MOSトランジスタとキャバシタとを自己整合により形成でき、相互の位置関係のマージンを考慮することなく、高集積のICを高い信頼性で形成できる。

【0037】(5) 請求項5の本発明では、請求項1～3の構造に準ずる構造として、DRAMのメモリセルを構成するMOSトランジスタを平面的なSOI構造で形成し、一方、トレンチキャバシタを、MOSトランジスタのトレンチキャバシタに接続されるべき領域(ドラインまたはソース)の下部に、重なりをもって配置した構造とする。

【0038】これにより、トレンチキャバシタが単独で占有する領域がなく、また、シリコン基板自体をキャバシタの一極(ノード)として使用するため、集積度を向上できる。

【0039】つまり、トレンチキャバシタ間を最小ルールまで縮小することができ、またアース配線が不要になり、さらに本構造においてはキャバシタの内側電極のコンタクトが不要で、プロセスが簡便であることにより、集積度を飛躍的に向上させたDRAMを低価格で作製することができる。

【0040】(6) 請求項6の本発明では、請求項4の方法と同様にSPE技術を利用して請求項5の構造を形成する。したがって、MOSトランジスタとキャバシタとを自己整合により形成でき、相互の位置関係のマージンを考慮することなく、高集積のICを高い信頼性で形成できる。

#### 【0041】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明の半導体記憶装置の一実施例の断面図である。

【0042】本実施例では、接地電位に接続されたシリコン単結晶基板100に溝部50が形成され、その溝部内はSiO<sub>2</sub>膜110(イ)により覆われ、シリコン基板の主表面はSiO<sub>2</sub>膜110(ア)により覆われている。

【0043】これらの絶縁膜上には、n<sup>+</sup>層120、チャネル形成領域130a, 130b, n<sup>+</sup>層150が形成されて立体的なSOI構造が形成されている。そして、チャネル領域130a, 130b上にはゲート絶縁膜140が形成され、溝の内部を充填してポリシリコンゲート電極160が形成されている。

【0044】シリコン基板の表面上には層間絶縁膜170が形成され、その上にA1電極180が配設されている。このA1電極180はコンタクトホールを介してn<sup>+</sup>層150に接続されている。

【0045】このような本構造によれば、図2において太い線で示されるように、溝の側壁に沿って設けられたチャネル形成領域をもつMOSトランジスタQと、溝底部において設けられ、一端が接地されたトレンチ容積Cとが構築されている。すなわち、DRAMのメモリセルを構成するMOSトランジスタとキャバシタとがU字型立体SOI構造中に一体化されている。

【0046】本実施例では、DRAMのメモリセルを構

成するキャパシタ (C) が、MOSトランジスタのキャパシタに接続されるべき $n^+$ 領域120の下部に配置されているため、キャパシタを配置するための面積を別途必要としない。

【0047】また、キャパシタの一極 (第1のノード) は、MOSトランジスタのキャパシタに接続されるべき $n^+$ 領域120と接続され、一方、S1基板100自体をキャパシタの他極 (第2のノード) とするため、キャパシタ間を最小ルールまで縮小することができ、またアース配線およびキャパシタの電極コンタクトが不要である。

【0048】また、DRAMのメモリセルを構成するMOSトランジスタをU字型立体SOI構造の側壁部に形成するため、トランジスタの面積は非常に微小なものでよくなる。

【0049】さらにU字型立体SOI構造はSPE技術等エピタキシャル技術をベースにしたSOI構造形成技術により作製できるため (後述)、簡便なプロセスで集積度を飛躍的に向上させることができる。

【0050】次に本実施例の製造方法の一例を図3～図6を参照して説明する。

【0051】まず、図3に示すように、S1単結晶基板100に熱酸化等のプロセスにより $\text{SiO}_2$ 膜110 (ア) を成膜し、次に、RIE (リアクティブイオンエンチング) 等を用いてシリコン基板100内にトレンチ (溝) 50を形成する。

【0052】次に図4に示すように、トレンチ50の内部に、熱酸化等のプロセスにより、 $\text{SiO}_2$ 膜110 (イ) を成膜する。

【0053】次に、ドープドアモルファスS1 ( $\alpha-\text{Si}$ ) 300を成膜し、統いて、RIE等を行いトレンチ底部にのみアモルファスドープドS1を残す。

【0054】統いて $\text{SiO}_2$ 膜の一部をフォトリソグラフィーとRIE等により除去して、開口 (シード) 部310を形成する。

【0055】次に、図5に示すように、アモルファスS1 ( $\alpha-\text{Si}$ ) 400を成膜し、全面のエッチングによって平坦化した後、SPE (S1固相結晶成長) 技術により開口 (シード) 部310を起点として固相エピタキシャル成長を生じせしめ、溝底部に $n^+$ 単結晶層120を、側壁部に沿って単結晶層130を形成する。これによって、U字型立体SOI構造が形成される。これにより、MOSトランジスタとその下部に配置されているキャパシタの電極とは自己整合的に形成され、別途接続する必要がない。

【0056】なお、図5において形成するアモルファスシリコン層は、ノンドープ、ドープされたもののいずれでも使用できる。ノンドープのものを使用した場合には、チャネル領域における不純物濃度を調整するために、後の工程で不純物を導入する必要がある。

【0057】この後、素子分離を行うため単結晶成長させたS1膜の不要な部分をRIE等により除去し、S1 $\text{O}_2$ 膜を成膜し不要な $\text{SiO}_2$ 膜部分をRIE等により除去することにより、図4の工程で形成されたS1基板が露出した部分 (シード) 部310と素子分離領域をS1 $\text{O}_2$ 膜で埋め込む。統いて、ワード配線を形成するための溝を形成するために、配線部分にあたる $\text{SiO}_2$ 膜をRIE等により除去し、 $\text{SiO}_2$ 膜に溝を形成する。この状態が図5の一番下の図に示される状態である。

【0058】次に、図6に示すように、ゲート酸化膜140を熱酸化等のプロセスにより成膜し、統いてゲート電極となる $\text{Pol}-\text{Si}$ 膜をCVD等のプロセスにより成膜しフォトリソグラフィーとRIE等により加工し、ゲート $\text{Pol}-\text{Si}$ 電極160 (および、これをつなぐ配線) を形成する。

【0059】その後、ゲート電極とこれをつなぐ配線と、ソース領域となるべき高濃度領域150をイオン注入にて形成する。最後に、層間絶縁膜 (例えばBPSG等) 170と、A1電極180を形成し、デバイスができる (図6)。

【0060】次に、本発明の他の実施例について図7を用いて説明する。本実施例は、図1の実施例に準ずる例であり、DRAMのメモリセルを構成するMOSトランジスタを平面的なSOI構造で構築し、一方、DRAMのメモリセルを構成するトレンチキャパシタ (C) を、MOSトランジスタの、キャパシタに接続されるべき $n^+$ 領域 (ドレイン (ソース) 領域) 420の直下に配置したものである。

【0061】トレンチキャパシタは、シリコン基板100に形成された溝部50の内表面に絶縁膜110 (イ) を形成し、その溝部50をポリシリコン層430で埋め込むことによって形成されている。

【0062】本実施例では、MOSトランジスタの平面的な占有面積は削減できないものの、キャパシタが $n^+$ 領域 (ドレイン (ソース) 領域) 420と重なりをもつて、その直下に配置されているため、キャパシタを単独の占有面積がなく、集積度を高めることができる。

【0063】また、前掲の実施例と同様にS1基板100自体をキャパシタの外側の電極として共通電位 (接地電位) に接続しているため、従来のように外側電極同士の接触を防止するためにマージンを設ける必要がなく、したがって、キャパシタ間を最小ルールまだ縮小することができる。

【0064】また、アース配線およびキャパシタの内側電極のコンタクトが不要であることにより、集積度を飛躍的に向上させることができる。

【0065】次に、本実施例の製造方法の一例を図8～図11を用いて説明する。

【0066】まず、図8に示すように、S1単結晶基板50 100に熱酸化等のプロセスにより $\text{SiO}_2$ 膜110

11

(ア) を成膜し、統いて、R I E等によりトレンチ(溝部)50を形成する。

【0067】次に図9に示すように、溝部50の内表面にSi<sub>3</sub>N<sub>4</sub>膜110(イ)を成膜し、このSi<sub>3</sub>N<sub>4</sub>膜の一部をフォトリソグラフィーとR I E等により削除する。

【0068】そして、SiO<sub>2</sub>膜110(ア)の一部をフォトリソグラフィーとR I E等により除去して、開口(シード)部500を形成する(図9の下側の図)。

【0069】次に、図10に示すように、SPE(Si固相結晶成長)技術等によりSiO<sub>2</sub>膜上およびSi<sub>3</sub>N<sub>4</sub>膜上に同時にSi膜を単結晶成長させる。

【0070】この時、Si<sub>3</sub>N<sub>4</sub>膜上(トレンチキャバシタ内部)には、下地絶縁膜の影響を受けて多結晶Si膜430が成長する。また、SiO<sub>2</sub>膜上にはシリコン単結晶層440が成長する。

【0071】この後、素子分離のため多結晶成長させたSi膜をR I E等により除去して素子分離用開口510を形成し、次に、SiO<sub>2</sub>膜を成膜し、不要なSiO<sub>2</sub>膜部分をR I E等により除去することにより図9の工程で形成されたSi基板が露出した部分(シード部)500をSiO<sub>2</sub>膜で埋め込む。

【0072】次に、図11に示すように、ゲート絶縁膜(SiO<sub>2</sub>膜)140を熱酸化等のプロセスにより成膜し、統いて、ゲート電極となるPoly-Si膜をCVD等のプロセスにより成膜しフォトリソグラフィーとR I E等により加工し、ゲートPoly-Si電極160を形成する。

【0073】その後、ソース/ドレイン領域となる高濃度領域420をイオン注入により形成し、層間絶縁膜(例えばBPSG等)170と、A1電極180を形成し、デバイスが完成する。

【0074】以上、本発明を実施例を用いて説明したが、本発明はこれに限定されるものではなく、種々応用、変形可能である。

【0075】例えば、第1の実施例では、溝部の側壁にMOSトランジスタを形成したが、発想を転換して、3次元デバイスの壁の部分にMOSトランジスタを形成してもよい。つまり、請求項1、2の本発明の考え方は、立体的SOI構造中にMOSトランジスタやキャバシタを一体化して集積するということである。

【0076】また、上述の立体的なSOI構造の形成のために、上述の実施例ではSPE(固相エピタキシャル成長)を利用したが、アモルファスを結晶化させる手法として、レーザ照射やX線の照射等の手法も使用できる。

【0077】つまり、SOIに関するプロセス技術を応用して3次元的DRAMセルを構築するということである。

【0078】

12

【発明の効果】以上説明したように本発明によれば、以下の効果が得られる。

【0079】(1) 請求項1の本発明では、立体的なSOI構造の採用により、接地(あるいは他のDC電位でもよい)したシリコン基板自体をキャバシタのノードとすることより、従来のようにn<sup>+</sup>拡散層のレイアウトマージンを考慮する必要がなくなる。また、MOSトランジスタのチャネル形成領域自体が溝内の側壁部に形成されるために、平面的なトランジスタ領域のほとんどが削減される。このような効果によって、極めて高い集積度が実現される。

【0080】(2) 請求項2の本発明では、チャネル形成領域に接続してドレイン(ソース)領域が形成され、さらにそのドレイン(ソース)と重なりを有して、自己整合的にキャバシタが構成される。したがって、従来のようなMOSトランジスタのドレインとアース配線とのコンタクトが不要であり、また、シリコン基板自体がアース配線の役目を果たすため、アース配線を独立して設ける必要がない。このような効果によって、極めて高い集積度が実現される。

【0081】(3) 請求項3の本発明では、トレンチを用いたSOI構造を利用して請求項1、2に記載の構造を形成する。したがって、上述のとおり、極めて高い集積度が達成される。すなわち、本発明では、トレンチキャバシタ間を極力短くし、コンタクト、配線等のデバイスの動作に直接影響を及ぼさない部分の領域をなくすることにより集積度を向上させるとともに、トランジスタ自身の領域をも削減することが可能である。

【0082】(4) 請求項4の本発明では、シリコンの固相エピタキシャル成長(SPE)を用いて、請求項1～3(特に、請求項3)のSOI構造を実現する。本方法によれば、MOSトランジスタとキャバシタとを自己整合により形成でき、相互の位置関係のマージンを考慮することなく、高集積のICを高い信頼性で形成できる。

【0083】(5) 請求項5の本発明では、請求項1～3の構造に準ずる構造として、DRAMのメモリセルを構成するMOSトランジスタを平面的なSOI構造で形成し、一方、トレンチキャバシタを、MOSトランジスタのトレンチキャバシタに接続されるべき領域(ドレンまたはソース)の下部に、重なりをもって配置した構造とする。これにより、トレンチキャバシタが単独で占有する領域がなく、また、シリコン基板自体をキャバシタの一極(ノード)として使用するため、集積度を向上できる。

【0084】(6) 請求項6の本発明では、請求項4の方法と同様にSPE技術を利用して請求項5の構造を形成する。したがって、MOSトランジスタとキャバシタとを自己整合により形成でき、相互の位置関係のマージンを考慮することなく、高集積のICを高い信頼性で形

成できる。

【0085】

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の一実施例(DRAM)の構成を示す断面図である。

【図2】図1の実施例の要部の拡大断面図である。

【図3】図1の実施例の構造を製造するための第1の工程を示す図(上側が断面図、下側が平面図)である。

【図4】図1の実施例の構造を製造するための第2の工程を示す図(上側が断面図、下側が平面図)である。

【図5】図1の実施例の構造を製造するための第3、4、5の工程を示す図(右側が断面図、左側が平面図)である。

【図6】図1の実施例の構造を製造するための第6の工程を示す図(上側が断面図、下側が平面図)である。

【図7】本発明の半導体記憶装置の他の実施例の構成を示す断面図である。

【図8】図7の実施例の構造を製造するための第1の工程を示す図(上側が断面図、下側が平面図)である。

【図9】図7の実施例の構造を製造するための第2の工程を示す図(上側が断面図、下側が平面図)である。

【図10】図7の実施例の構造を製造するための第3の工程を示す図(上側が断面図、下側が平面図)である。

【図11】図7の実施例の構造を製造するための第4の工程を示す図(上側が断面図、下側が平面図)である。

【図12】従来例の構成を示す断面図である。

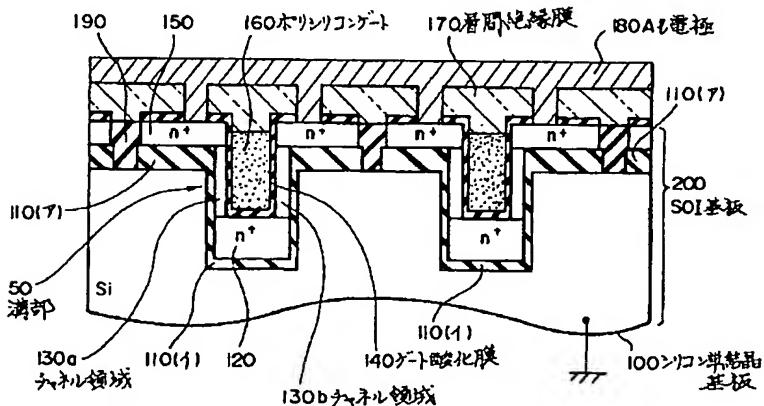
【図13】DRAMの一般的なセル構成を示す図である。

【図14】(a)～(d)はそれぞれ、固相エピタキシャル成長(SPE)の概要を説明するための各工程毎の断面図である。

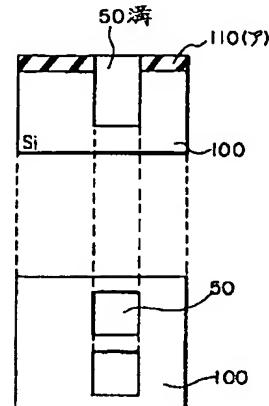
【符号の説明】

10	100 シリコン単結晶基板
110 (ア)	シリコン基板の主表面における酸化膜
110 (イ)	シリコン基板の溝部における酸化膜
120	キャバシタの一極ならびにMOSトランジスタのドレイン(ソース)を構成するトレンチ底部のn <sup>+</sup> 層
130a, 130b	チャネル形成領域
140	ゲート酸化膜
150	MOSトランジスタのソース(ドレイン)を構成するn <sup>+</sup> 層
160	ポリシリコンゲート
170	層間絶縁膜
180	Al電極
190	シード部の埋め込み用絶縁層
200	SOI基板

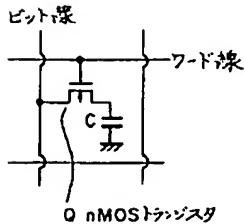
【図1】



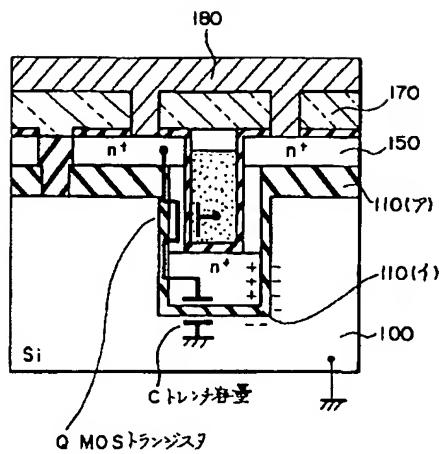
【図3】



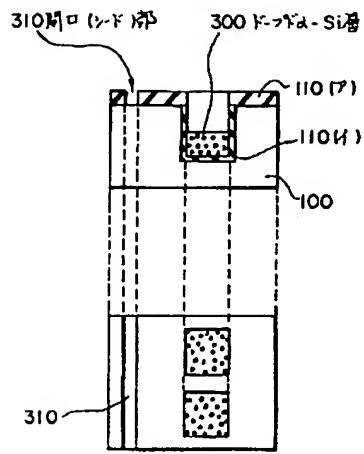
【図13】



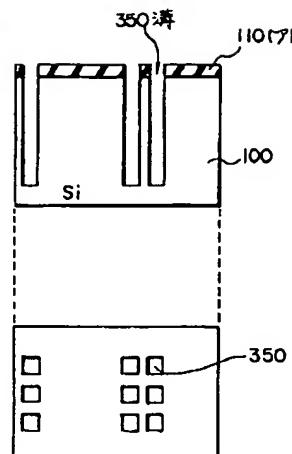
【図2】



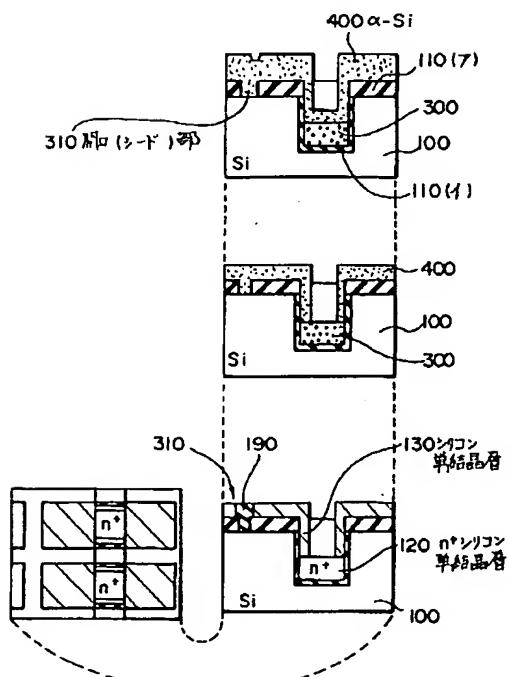
【図4】



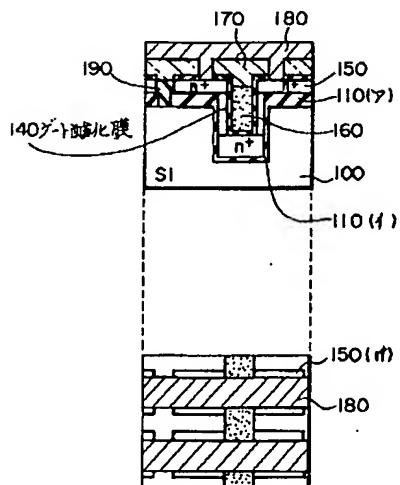
【図8】



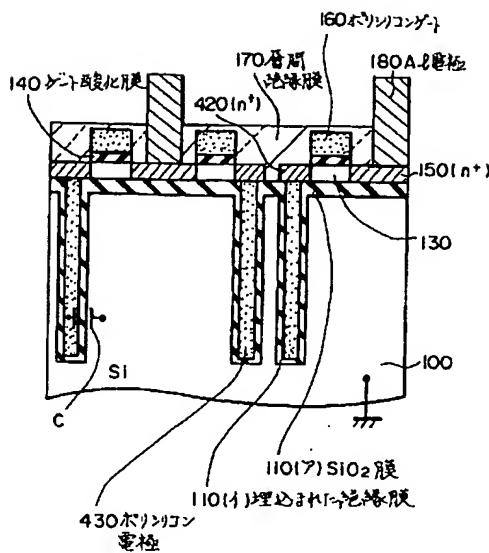
【図5】



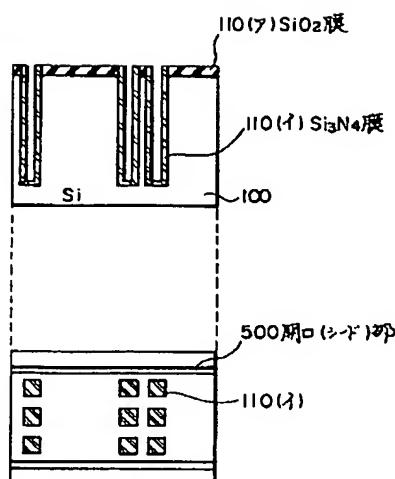
【図6】



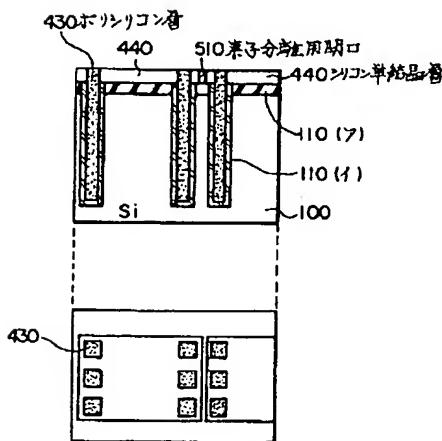
【図7】



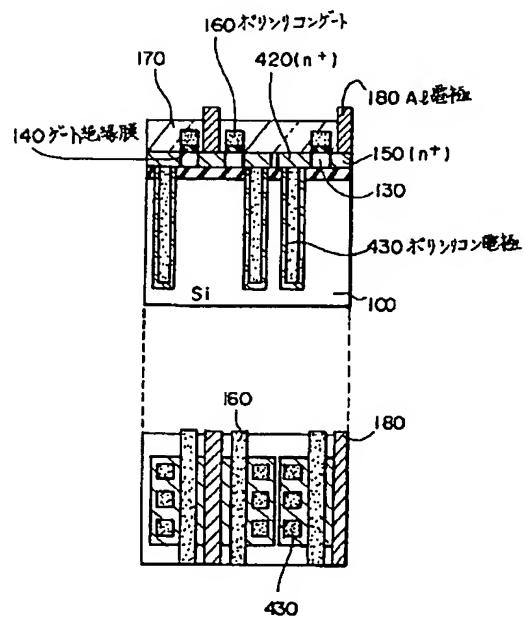
【図9】



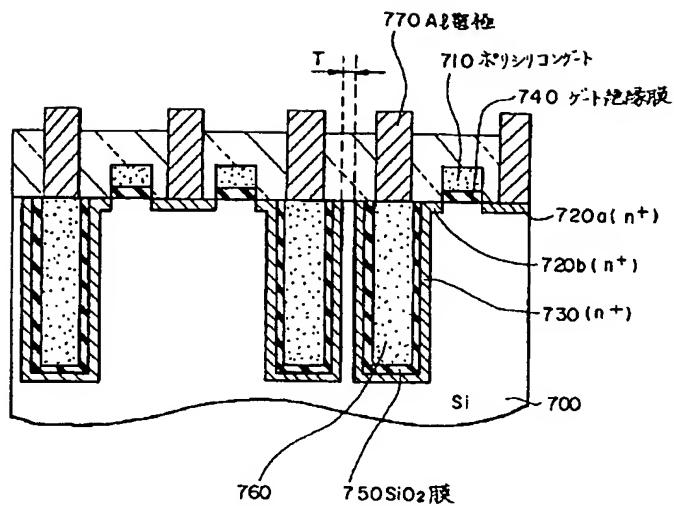
【図10】



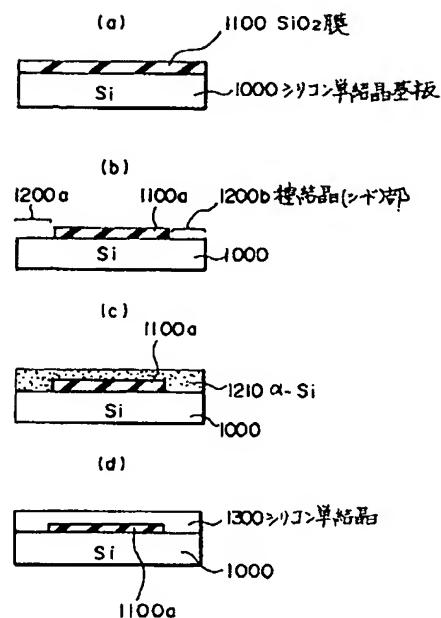
【図11】



【図12】



【図14】



フロントページの続き

(72)発明者 船橋 博文

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

(72)発明者 杉山 進

愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**